

Reference 5

Partial Translation:

Japanese Patent Application laid open No. S63-076484

Title of the invention: Method for Manufacturing Semiconductor
Pressure Sensor

Application No.: S61-221451
Filing Date : September 19, 1986
Publication Date: April 6, 1988
Inventor : Yukie SUZUNO et al.,
Applicant : Komatsu Ltd.

A lot of structures of semiconductor pressure sensor are proposed. Among them, the most well known type is configured such that a diaphragm 101 comprising diffused layer 101a functioning as a pressure-sensitive resistor is bonded and fixed to a pedestal 102 as shown in Fig.3. In Fig.3, a numeral 103 indicates a bonding layer.

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭63-76484

⑬ Int. Cl. *

H 01 L 29/84
21/306

識別記号

厅内整理番号

⑭ 公開 昭和63年(1988)4月6日

B-6819-5F
B-8223-5F

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体圧力センサの製造方法

⑯ 特願 昭61-221451

⑰ 出願 昭61(1986)9月19日

⑱ 発明者 鈴野 幸江 神奈川県茅ヶ崎市松ヶ丘1-5-38

⑲ 発明者 田淵 俊宏 神奈川県平塚市横内1985-1

⑳ 出願人 株式会社小松製作所 東京都港区赤坂2丁目3番6号

㉑ 代理人 弁理士 木村 高久

明細書

1. 発明の名称

半導体圧力センサの製造方法

2. 特許請求の範囲

センサ部とシリコン薄膜部で構成し、このシリコン薄膜部内にピエゾ抵抗素子を形成してなる半導体圧力センサの製造方法において、

出発材料として、シリコン基板表面に絶縁層として窒化膜又は酸化膜を形成すると共に多結晶シリコン薄膜を形成してなるSOI (Silicon On Insulator) 基板を準備する工程と、

前記多結晶シリコン薄膜内に選択的に不純物を注入し不純物領域を形成する工程と、

該不純物領域内を選択的にアニールし結晶化して感圧抵抗層を形成する工程と、

前記感圧層をエッチング停止層として、前記SOI基板の所定の領域をシリコン基板側から両方性エッチングにより選択的にエッチングすること

により、前記シリコン薄膜部を形成するエッチング工程とを含むことを特徴とする半導体圧力センサの製造方法。

(2) 前記窒化膜は、窒化シリコン (Si₃N₄) からなることを特徴とする特許請求の範囲第(1)項記載の半導体圧力センサの製造方法。

(3) 前記窒化膜は、窒化ホウ素 (BN) からなることを特徴とする特許請求の範囲第(1)項記載の半導体圧力センサの製造方法。

(4) 前記酸化膜は、酸化シリコン (SiO₂) からなることを特徴とする特許請求の範囲第(1)項記載の半導体圧力センサの製造方法。

(5) 前記異方性エッチング工程は、水酸化カリウム (KOH) をエッチャントとする工程であることを特徴とする特許請求の範囲第(1)項乃至第(4)項のいずれかに記載の半導体圧力センサの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体圧力センサの製造方法に係り、特に所望の形状のシリコン薄膜部上にピエゾ抵抗素子を形成してなる半導体圧力センサの製造に関する。

〔従来技術およびその問題点〕

半導体技術の進歩に伴い、シリコンやゲルマニウム等の半導体のもつピエゾ抵抗効果を利用した半導体圧力センサが、近年注目されてきている。

半導体圧力センサにはいろいろな構造が提案されているが、なかでも最も広く用いられているのは、第3図に示す如く、感圧抵抗層としての鉛散層101を具えた単結晶シリコンからなるダイヤフラム101を台座102に接着固定したダイヤフラム型の圧力センサである。ここで103は接着層を示している。

この圧力センサは、ダイヤフラムが圧力を受けて変形することにより発生する抵抗値の変化を検出するものである。従って圧力に応じて正しい変形を発生するようなダイヤフラムを形成する必要がある。このため、ダイヤフラムの厚さは均一

この方法では、出発材料としてのシリコン基板の厚さやムラやエッティング液の劣化等により、ダイヤフラムとなる内薄部の厚さを精度良く形成するのは困難であった。

また、第5図(a)に示す如く、n型シリコン基板200の表面にp+型シリコン層201を形成した後、エピタキシャル成長法により、(1型の)シリコン薄膜層202をエピタキシャル成長せしめることによって形成したものを出発材料とし、該p+型シリコン層をエッティング停止層として用いる方法がある。この方法では、まずこのシリコン薄膜層202内に鉛散層202aや電極(図示せず)等を形成する。そして前記と同様にして表面をレジストRで被覆すると共に表面をレジストRのパターンで被覆した後、第5図(b)に示す如く裏面側からエッティング停止層としてのp+型シリコン層201が露呈するまでエッティングを実行するという方法がとられる。

しかしながら、この方法でも、p+型シリコン層とn型シリコン基板とのエッティング選択性はせ

である必要があり、又、設計値通りの厚さである必要がある。

製造に際しては、通常、次のような方法がとられる。まずシリコン基板内に感圧抵抗層としての鉛散層101あるいは電極(図示せず)等を形成した後、前記シリコン基板表面をレジストで被覆保護すると共に、裏面にレジストRのパターンをホトリソ法によって形成する。(第4図(a))

そして、この後、水酸化カリウム(KOH)をエッティング液として使用して、シリコン基板を裏面側からエッティングし、ダイヤフラムとしての内薄部を形成する。(第4図(b))

ここでこのダイヤフラムの厚さは圧力センサの性能を大きく左右するものであるため、エッティング精度も高めるためにいろいろな工夫がなされている。

例えば、使用するエッティング液に対するエッティングレートに基づき、エッティング所要時間を算出し、これに従ってエッティング量(深さ)をコントロールする方法が用いられる。

いぜい10~20程度であるため、エッティング時間のずれの許容度が小さい。また、p+型シリコン層の成長時に、オートドーピングによりシリコン基板表面に不純物が拡散し、p+型シリコン層とn型シリコン層との界面が移動し、これもエッティングによるダイヤフラムの厚さにムラを生じる原因となる。

更にまた、電気的手段によりエッティングレートを測定しコントロールする方法も提案されてはいるが、装置が複雑であるため並進性に欠ける。またこの方法では複雑な形状のパターン形成は不可能である。

そこで本発明者らは、シリコン基板表面に重化膜又は酸化膜を形成した後、所望の厚さのシリコン薄膜を形成したものを出発材料とし、前記重化膜又は酸化膜をエッティング停止層として異方性エッティングにより前記シリコン基板を裏面側から選択的に除去し所望の形状のシリコン内薄部を形成する方法を提案した。(特願61-160151号)

かかる方法によれば極めて容易に制御性良くシリコン薄膜層を形成することができる。

一方、感圧抵抗層としては通常、単結晶シリコンが用いられている。この単結晶シリコンは成長条件に制約が大きい。そこで、まず形成の容易な多結晶シリコンを形成し、これをアニールによって結晶化するという方法も提案されている。(特開昭61-121478号)

しかしながら、表面全体をアニールするこの方法では、均一に制御性良く結晶化するのは困難であり、充分なセンサ特性が得られないという問題があった。

本発明は前記実情に鑑みてなされたもので、製造が容易かつセンサ特性の良好にビエゾ抵抗素子を用いた半導体圧力センサを提供することを目的とする。

【問題点を解決するための手段】

そこで本発明の方法では、シリコン基板表面に、窒化膜又は酸化膜を形成した後、所望の厚さの多結晶シリコン薄膜層を形成したSOI基板(silic-

on on insulator)を出発材料とし、該SOI基板の表面に酸化シリコン等からなる所望の形状のマスクパターンを形成する工程とこのマスクパターンをマスクとして該多結晶シリコン薄膜層内に不純物を注入し、不純物領域を形成する工程と、該不純物領域を選択的にアニールし、結晶化する工程と、前記空化膜又は酸化膜をエッチング停止層として異方性エッチングにより前記シリコン基板を裏面側から選択的に除去し所望の形状の多結晶シリコンの内蔵部を形成する工程を含むようにしている。

【実施例】

以下、本発明の実施例について図面を参照しつつ詳細に説明する。

第1図(a)乃至(g)は、本発明実施例の半導体圧力センサの製造工程について説明する。

まず、第1図(a)に示す如く、(100)方向に配向性を有する厚さ300μのn型シリコン基板1上に、膜厚0.5μの絶縁層としての第1の窒化シリコン膜2および膜厚10μの多結晶シリコン膜3を順次堆積せしめてなるSOI(silicon on insulator)基板4を用意する。

次いで、第1図(b)に示す如く、熱酸化法により、前記SOI基板4の表面に膜厚0.5μの

on on insulator)を出発材料とし、該SOI基板の表面に酸化シリコン等からなる所望の形状のマスクパターンを形成する工程とこのマスクパターンをマスクとして該多結晶シリコン薄膜層内に不純物を注入し、不純物領域を形成する工程と、該不純物領域を選択的にアニールし、結晶化する工程と、前記空化膜又は酸化膜をエッチング停止層として異方性エッチングにより前記シリコン基板を裏面側から選択的に除去し所望の形状の多結晶シリコンの内蔵部を形成する工程を含むようにしている。

【作用】

本発明の方法によれば、SOI基板のシリコン層は、単結晶ではなく多結晶とし、感圧抵抗層となる部分のみ選択的にアニールし結晶化するようしているため、極めて容易に作業性良く高精度の感圧抵抗層パターンを形成することができる。

また、多結晶シリコンの内蔵部をバターニングするためのエッティングストッパーとして、シリコンの異方性エッチャントに対して300倍以上の

第1の酸化シリコン膜5を形成し、これをフォトリソグラフィーによりバターニングし、拡散用の窓Wを形成する。

続いて、第1図(c)に示す如く、前記窓Wを介してポロン(B)拡散を行なった後、該第1の酸化シリコン膜をマスクとして前記窓内に形成された拡散領域にのみ、レーザ光を照射しアニールを行なうことにより、該拡散領域を結晶化し、P型シリコン拡散層からなる感圧抵抗層6を形成する。このとき感圧抵抗層6の裏面には第2の酸化シリコン膜7が形成されている。

続いて、CVD法により第1図(d)に示す如く、SOI基板4の表面および裏面に第2の窒化シリコン膜8a、8bを堆積し、更にフォトリソグラフィーにより裏面側の第2の窒化シリコン膜8a(および前記第2の酸化シリコン膜7)に対しコンタクトホールHを穿孔する。

更に、電子ビーム蒸着法により、アルミニウム薄膜を形成し、これをフォトリソグラフィーによりバターニングして配線パターン9を形成する。

(第1図 (e))

このようにして、表面にピエゾ抵抗素子を構成するように感圧抵抗層8及び配線パターン9を形成した後、フォトリソエッティングにより、SOI基板の裏面側の第2の変化シリコン膜8bをバターニングする。(第1図 (f))

そして最後に、この第2の変化シリコン膜のパターンをマスクとして、水酸化カリウム(KOH)水溶液による異方性エッティングを行ない、前記第1の変化シリコン膜2を露呈せしめ、第1図 (g)に示す如く、厚さ10μのダイヤフラムとしての内薄部10を形成し、半導体圧力センサが完成せしめられる。

ここで、変化シリコン膜に対するn型シリコン基板1の、水酸化カリウムによるエッティング選択比は300倍以上であるため、前記第1の変化シリコン膜が良好なエッティング停止層として働く。従ってエッティング時間の厳密な制御を必要とせずして、容易に再現性良く、高精度(±1μ)に厚さをコントロールしたダイヤフラム(内薄部)を

てもよいことはいうまでもない。

加えて、実施例ではダイヤフラム上のセンサ(内薄部)を有する半導体圧力センサについて説明したが、これに限定されるものではなく、第2図(a)および(b)に示す如くカンチレバーピーム等のセンサ部形成を形成する等他の形状の半導体デバイスについても適用可能であることはいうまでもない。

(効果)

以上説明してきたように、本発明によれば、半導体圧力センサの形成に際し、シリコン基板上に絶縁層としての変化膜又は酸化膜を介して多結晶シリコン膜が形成されたSOI基板を出発材料とし、感圧抵抗層となる領域に対し選択的に不純物を注入し、続いて、該領域に対し選択的にアニールし、結晶化すると共に、このようにして感圧抵抗層の形成のなされたSOI基板を、基板側から前記変化膜又は酸化膜をエッティング停止層として異方性エッティングにより選択的にエッティングするようにしているため、再現性良く、センサ特性の

具えた半導体圧力センサを製造することができる。

また、エッティング停止層として用いられる変化シリコン膜は、n型シリコン基板1および(多結晶)シリコン薄膜3との界面が極めてシャープである上、エッティング選択性が高いため薄くても充分であり、センサ特性を高めることができある。

また、感圧抵抗層の形成に際し、シリコン膜を多結晶シリコンで構成したSOI基板を出発材料とし、感圧抵抗層となる部分のみを選択的にアニールして結晶化するようにしているため、極めて容易に再現性の良い半導体圧力センサを形成することが可能となる。

なお、実施例では、SOI基板の絶縁層として変化シリコン膜を用いたがこの他変化ホウ素膜等の変化膜、酸化シリコン膜等の酸化膜を用いてもよい。ちなみに酸化シリコン膜は、シリコンの異方性エッティングに用いられるエッチャントに対してエッティング速度が1/200倍以下である。

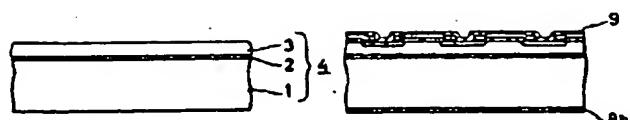
また、エッチャントとしては、水酸化カリウムに限定されることなく、他のエッチャントを用い

良好な半導体圧力センサを容易に形成することができる。

4. 図面の簡単な説明

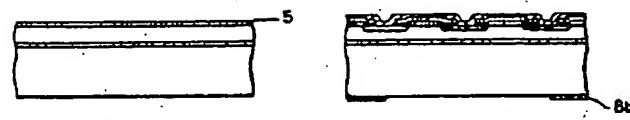
第1図(a)乃至(g)は、本発明実施例の半導体圧力センサ製造工程図、第2図(a)および(b)は、本発明の方法の他の適用例を示す図、第3図は、通常の半導体圧力センサの構造例を示す図、第4図(a)(b)および第5図(a)(b)は夫々、従来のダイヤフラム(内薄部)の形成工程を示す図である。

101…ダイヤフラム、101a…抵抗(抵抗)層、R…レジスト、200…n型シリコン基板、201…p+型シリコン層、202…シリコン薄膜層、202a…拡散層、1…n型シリコン基板、2…第1の変化シリコン膜、3…多結晶シリコン薄膜層、4…SOI基板、5…第1の酸化シリコン膜、6…p型拡散層(感圧抵抗層)、7…第2の酸化シリコン膜、8a、8b…第2の変化シリコン膜、9…配線パターン、10…内薄部。



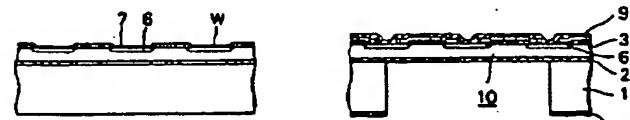
第1図 (a)

第1図 (e)



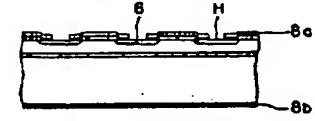
第1図 (b)

第1図 (f)



第1図 (c)

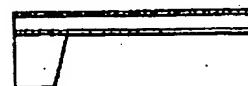
第1図 (g)



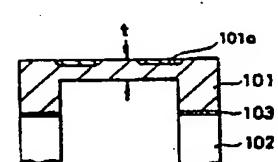
第1図 (d)



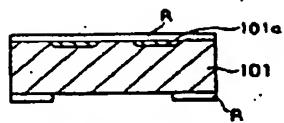
第2図 (a)



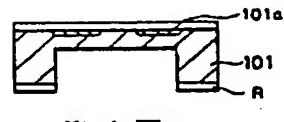
第2図 (b)



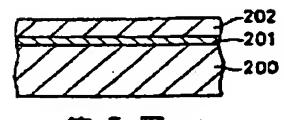
第3図



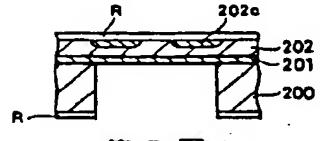
第4図 (a)



第4図 (b)



第5図 (a)



第5図 (b)